

PAT-NO: JP362002666A

DOCUMENT-IDENTIFIER: JP 62002666 A

TITLE: FIELD EFFECT TRANSISTOR

PUBN-DATE: January 8, 1987

INVENTOR-INFORMATION:

NAME

HIROSE, TAKASHI

NAKAGAWA, ATSUSHI

YAMASHITA, ICHIRO

ASSIGNEE-INFORMATION:

NAME

COUNTRY

MATSUSHITA ELECTRIC IND CO LTD N/A

APPL-NO: JP60143211

APPL-DATE: June 28, 1985

INT-CL (IPC): H01L029/80, H01L029/44

US-CL-CURRENT: 257/287, 257/E29.127, 257/E29.243, 257/E29.317

ABSTRACT:

PURPOSE: To improve high speed performance to a large extent, by closing a part of a gap between neighboring gates or dummy gates with a junction part formed by the overlapped part of films, and utilizing the junction part as an interval between a source and a drain.

CONSTITUTION: Of comb shaped gates 31a, parts, which are embedded in an active layer 22 and a GaAs semi-insulating substrate 21, are made to be vertical gate parts 31b. With a side wall film 25a as a mask, n<SP>+</SP> active layer 27 is formed. Therefore, an intervals l<SB>ds</SB> between a source and a drain is formed in the minimum patterning size or less by a self-aligning method by forming a gate length l<SB>g</SB> and an interval l<SB>d</SB> in the minimum patterning size or less with respect to each

junction part 25b.

COPYRIGHT: (C)1987,JPO&Japio

## ⑫ 公開特許公報(A)

昭62-2666

⑤ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬ 公開 昭和62年(1987)1月8日

H 01 L 29/80  
29/448122-5F  
7638-5F

審査請求 未請求 発明の数 1 (全8頁)

⑭ 発明の名称 電界効果トランジスタ

⑮ 特 願 昭60-143211

⑯ 出 願 昭60(1985)6月28日

⑰ 発 明 者 広 瀬 貴 司 門真市大字門真1006番地 松下電器産業株式会社内  
 ⑱ 発 明 者 中 川 敦 門真市大字門真1006番地 松下電器産業株式会社内  
 ⑲ 発 明 者 山 下 一 郎 門真市大字門真1006番地 松下電器産業株式会社内  
 ⑳ 出 願 人 松下電器産業株式会社 門真市大字門真1006番地  
 ㉑ 代 理 人 弁理士 森本 義弘

## 明 細 書

## 従来技術

## 1. 発明の名称

電界効果トランジスタ

## 2. 特許請求の範囲

1. 制御電界および被制御電流が、ともに半導体基板表面に平行である電界効果トランジスタであって、ゲートもしくは後工程でゲートを形成するためのダミーゲートの側壁に膜を形成し、隣り合った前記ゲートもしくは前記ダミーゲートの間隙の一部を前記膜の重なりによる接合部をもって閉鎖し、前記接合部をソース、ドレイン間隔とすることを特徴とした電界効果トランジスタ。

## 3. 発明の詳細な説明

## 産業上の利用分野

本発明は、極微細なパターンが自己整合により比較的容易に得られ、もって高周波通信ならびに高速コンピュータ等に必要とされる高速動作デバイスに利用可能な電界効果トランジスタに関するものである。

近年、衛星通信等にみられる数～数10GHz帯を用いたアナログ高周波通信や、高速演算処理を必要とするコンピュータ等のデジタル回路の分野において、高速動作可能なデバイスの開発がさかんに行われている。特にシリコンに比べ、電子の移動度が5～6倍大きく、より高速動作が基体されるヒ化ガリウム(以下GaAsと略す)を用いたショットキー接合型電界効果トランジスタ(以下MESFETと略す)は、アナログの分野はもちろん、デジタルの分野でもまさに実用化の域に達している。そしてさらに高速性能の向上を目指し、短ゲート長化ならびに寄生抵抗等の低減のために、種々のGaAsMESFETが提案されている。

以下、図面を参照しながら、上述した従来電界効果トランジスタの一例について説明する。

第4図(a)～(f)は従来電界効果トランジスタを作成する工程の構造断面図である。第4図において、1はGaAs半絶縁性基板、2はGaAsMESFETのチャンネルとなる活性層、3はGaAs

ME S F E Tのゲートとなるゲート金属、4はゲート金属3に絶縁層側壁4aを作成するための絶縁層、5はGaAsME S F E Tのソース、ドレイン電極となるオーミック電極、6はパターンの平坦化を行なうためのフォトレジスト、 $L_g$ はゲート長、 $L_s$ は側壁長である。

このように構成された電界効果トランジスタについて、以下に説明する。まず活性層2を有するGaAs半絶縁性基板1の表面にアルミニウム(以下Alと略す)等のゲート金属3をリフトオフ法などにより形成する(第4図(a))。次に二酸化ケイ素(以下 $SiO_2$ と略す)膜を化学気相蒸着(Chemical Vapor Deposition、以下CVDと略す)法により、GaAs半絶縁性基板1の表面に形成し、絶縁層4とする(第4図(b))。次にフッ素系のガスを用いた反応性イオンエッチング(Reactive Ion Etching、以下RIEと略す)により、前記絶縁層4をGaAs半絶縁性基板1に対し垂直方向にエッチングする。この時ゲート金属3の側面に接する絶縁層4が前記GaAs半絶縁性基板1上およびゲ

ート金属3上の絶縁層4に比べて垂直方向においてより厚いことから、該ゲート金属3側面に絶縁層側壁4aが形成される(第4図(c))。次にGaAsME S F E Tのソース、ドレイン電極となるオーミック電極5を蒸着後、フォトレジスト6を回転塗布する(第4図(d))。このときオーミック電極5上のフォトレジスト6の厚さは、GaAs半絶縁性基板1上のフォトレジスト6に比べて約70%以下となる。次にアルゴン(以下Arと略す)等によるイオンミリングにより、フォトレジスト6の全上面からエッチングを行なって、ゲート金属3上のオーミック電極5を除去し、左右にオーミック電極5で構成されるソース、ドレイン電極を分離形成する(第4図(e))。次にフォトレジスト6を除去後熱処理を行ない、GaAsME S F E Tが完成する(第4図(f))。(例えば、古塚ら著、電子通信学会技術報告、第83巻、第424号、49～53頁(SSD83-112)参照)。

このように、ゲート金属3の側面に絶縁層側壁4aを形成することにより、自己整合によりソー

ス、ドレインとなるオーミック電極5が形成され、ゲート、ソース間の寄生抵抗(以下 $R_s$ と略す)を側壁長 $L_s$ によるもののみに低減でき、また、この絶縁層側壁4aの存在によりゲート、ソース間ならびにゲート、ドレイン間が側壁長 $L_s$ で隔てられるためゲート耐圧が保たれる効果もあり、GaAsME S F E Tの高速性能の向上となるものである。

発明が解決しようとする問題点

しかしながら上記のような構成では、第4図(f)より明かなように、短ゲート長化を計るためにゲート長 $L_g$ をサブミクロン程度に最小パターン寸法で形成したとしても、ソース、ドレインの隔離のため側壁長 $L_s$ (通常 $0.1 \sim 0.2 \mu m$ 程度)が必要なることから、GaAsME S F E Tのソース、ドレイン間隔(以下 $L_{DS}$ と略す)が $L_g + 2L_s$ となる。この $L_{DS}$ は電界効果トランジスタにおける真の動作領域と言えるものであり、 $L_{DS}$ が短かいほど荷電担体の走行距離が短くなり、この荷電担体のドリフト速度が平衡状態を大きく上まわり、い

わゆるオーバーシュートと呼ばれる現象が生じ、電界効果トランジスタの高速性能が飛躍的に向上されることが期待され、特にGaAsを用い、荷電担体を電子とした場合、電子の有効質量が小さいため $L_{DS}$ がサブミクロンで前記オーバーシュート現象ならびにバリスティック効果が期待され、GaAsME S F E Tの高速性能がさらに向上する(例えば、栗野ら著、応用物理、第53巻、第5号(1984)、445～452頁)。しかるに前記従来例においては、前述のように $L_{DS}$ が $L_g + 2L_s$ となり、 $L_g$ をいかに最小パターン寸法で形成しようとも、 $L_s = 0.1 \sim 0.2 \mu m$ であるので、 $L_{DS}$ は少なくとも $L_g$ より $0.2 \sim 0.4 \mu m$ 程度長くなるという程度長くなるという問題点を有していた。

本発明は上記問題点を解決するもので、最小パターン寸法以下の $L_{DS}$ を形成し、これにより荷電担体の走行距離を短かくし、高速性能を大幅に向上できる電界効果トランジスタを提供することを目的とするものである。

問題点を解決するための手段

上記問題点を解決するために、本発明は、制御電界および被制電流がともに半導体基板表面に平行である電界効果トランジスタであって、ゲートもしくは後工程でゲートを形成するためのダミーゲートの側壁に膜を形成し、隣り合った前記ゲートもしくは前記ダミーゲートの間隙の一部を前記膜の重なりによる接合部でもって閉鎖し、前記接合部をソース、ドレイン間隔 $L_g$ としたものである。

#### 作用

本発明は、上記した構成によって、ゲートもしくはダミーゲートを半導体基板表面に対し垂直としたくし形状とするため、くしの歯に相当する前記ゲートもしくは前記ダミーゲートの隣り合う部分と間隔を最小パターン寸法とすることにより、前記ゲートもしくは前記ダミーゲートの側壁の膜の重なりによる接合部を前記最小パターン寸法以下にすることができるものであり、この接合部をソース、ドレイン間隔にすることにより、前記最小パターン寸法以下の短いソース、ドレイン間

隔を有する電界効果トランジスタが得られ、高速性能の向上をもたらすこととなる。

#### 実施例

以下本発明の一実施例の電界効果トランジスタについて、図面を参照しながら説明する。

第1図および第2図(a)~(i)はそれぞれ本発明の第1の実施例における電界効果トランジスタの構造を示す一部切欠斜視図および製造工程を示す一部切欠斜視図である。第1図、第2図において、21はGaAs半絶縁性基板、22はGaAsMESFETのチャンネルとなる活性層、23は $SiO_2$ 膜、24は $SiO_2$ 膜23をパターンニングによりダミーゲート23aを形成するためのゲートマスク、 $L_d$ はダミーゲート23aの間隔長、25は窒化シリコン(以下 $Si_3N_4$ と略す)膜、26は $Si_3N_4$ 膜25のエッチングにより側壁膜25aを形成する際にマスクとなり、さらにソース、ドレイン形成のための $n^+$ 選択注入時のマスクとなるレジストマスク、25bは側壁膜25aの重なりによる接合部、27は $n^+$ 選択注入により形成された $n^+$ 活性層、28は $n^+$ 活性層27との

オーミック性コンタクトとなるオーミック電極、29はダミーゲート23aの反転ゲートパターン23bを形成するためのネガ型フォトレジスト、30はリフトオフ法によりゲート金属31をパターンニングし、くし型ゲート31aを形成するためのポジ型フォトレジストパターン、31bはくし型ゲート31aのうち活性層22およびGaAs半絶縁性基板21に埋めた垂直ゲート部 $L_v$ はゲート長、 $L_s$ はソース、ドレイン間隔である。

このように構成された電界効果トランジスタについて、以下第1図および第2図を用いて説明する。第2図において、GaAs半絶縁性基板21(比抵抗 $>10^7 \Omega \cdot \text{cm}$ )上にシリコン(以下 $Si$ と略す)を加速電圧100keV、ドーズ量 $5.0 \times 10^{13} \text{ dose}/\text{cm}^2$ で選択イオン注入し、850℃、20分間のキャプアニールによって活性層22を形成後、 $SiO_2$ 膜23を減圧化学気相蒸着(以下LP-CVD(Low Pressure Chemical Vapor Deposition)と略す)法により厚さ約 $0.8 \mu\text{m}$ 形成し、この $SiO_2$ 膜23上にリフトオフ法により厚さ約 $0.15 \mu\text{m}$ のA1をパターンニング

し、ゲートマスク24とする(第2図(a))。

次に酸素を5%含む一水素化フロン(以下CHF<sub>3</sub>と略す)がスプラズマによるRIEにより、前記ゲートマスク24を用いて $SiO_2$ 膜23を異方性エッチングし、前記ゲートマスク24と同一パターン寸法をもつダミーゲート23aを形成する(第2図(b))。次にプラズマ化学気相蒸着(Plasma Chemical Vapor Deposition、以下P-CVDと略す)方により $Si_3N_4$ 膜25を形成し、この $Si_3N_4$ 膜25のまわり込みにより、第2図(b)に間隔長 $L_d$ として示した隣り合った前記ダミーゲート23aの間隙の一部が前記 $Si_3N_4$ 膜25で重なるようにする(第2図(c))。すなわちP-CVD方の条件に多少依存するが、 $Si_3N_4$ 膜25の厚さとまわり込み量はほぼ同一であるため、前記 $Si_3N_4$ 膜25をその厚さが前記間隔長 $L_d$ の約半分となるように形成すればよい。

次にフォトレジストを塗布し、フォトリソグラフィによりレジストマスク26を形成し、酸素を5%含むCHF<sub>3</sub>ガスプラズマによるRIEによ

り、前記レジストマスク26を用いて $S_{13}N_4$ 膜25を異方性エッチングし、側壁膜25aを形成する(第2図(d))。この側壁膜25aの形成において、前記ダミーゲート23a上の $S_{13}N_4$ 膜25の厚さと、前記活性層22上の $S_{13}N_4$ 膜25の厚さが同一であることから、第2図(d)に示すように、ダミーゲート23aおよび活性層22が共に露呈されるとともに、側壁膜25aの接合部25bが形成されることになる。

次に第2図(d)に示した状態で、レジストマスク26、ダミーゲート23aおよび側壁膜25aをマスクとして、 $S_i$ を加速電圧150keV、ドーズ量 $8.0 \times 10^{13}$  dose/cm<sup>2</sup>で選択イオン注入を行なった後レジストマスク26を除去し、さらに $S_{13}N_4$ 膜25と側壁膜25aを熱リン酸により除去した後、950℃、2秒間の赤外線ランプアニールを行ない基板21上に $n^+$ 活性層27を形成する(第2図(e))。この $n^+$ 活性層27は本実施例の電界効果トランジスタのソース、ドレインとなる。

次に $n^+$ 活性層27上にゲルマニウム(Ge)を12重

第1図は第2図(i)におけるくし型ゲート31aのうち、活性層22およびGaAs半絶縁性基板21に埋った部分を垂直ゲート部31bとして示したものであり、第2図(d)で示したように、側壁膜25aをマスクとして $n^+$ 活性層27を形成したので、接合部25bによりソース、ドレイン間隔 $L_{ds}$ は第1図中に示すものとなる。第1図において、ソース、ドレイン間隔 $L_{ds}$ は、ゲート長 $L_g$ および間隔長 $L_d$ を最小パターニング寸法で形成することにより、最小パターニング寸法もしくはそれ以下で自己整合により形成されることとなる。

上記のように本実施例によれば、ダミーゲート23aのゲート長 $L_g$ および間隔長 $L_d$ を最小パターニング寸法で形成することにより、側壁膜25aの接合部25bを用いた自己整合により、ソース、ドレイン間隔 $L_{ds}$ が最小パターニング寸法もしくはそれ以下で形成され、またパターン反転によりゲート金属31としてAlが使用でき、特性のよいショットキー接合を歩留りよく形成することができる。

次に本発明の第2の実施例について図面を参照

量%含む金(Au)合金(以下AuGeと略す)からなるオーミック電極28を形成した後、450℃、3分間水素雰囲気で行ない、 $n^+$ 活性層27とのオーミック性コンタクトとする。その後ネガ型フォトリソ29を塗布し、さらに $O_2$ ガスプラズマによるRIEにより前記ダミーゲート23aの頭出しを行なう(第2図(f))。

次にダミーゲート23aをフッ酸緩衝溶液で除去し、これによりネガ型フォトリソ29に形成された開口部を通して前記活性層22を塩素系のガスプラズマによるRIEでエッチングし、GaAs半絶縁性基板21に充分到達した反転ゲートパターン23bを形成する(第2図(g))。

次にポジ型フォトリソパターン30により、前記反転ゲートパターン23bが開口するようにパターニングし、その上にゲート金属31としてAlを真空蒸着により形成する(第2図(h))。次にポジ型フォトリソパターン30ならびにネガ型フォトリソ29の除去に伴うリフトオフ法によりくし型ゲート31aを形成する(第2図(i))。

しながら説明する。第3図(a)~(d)は本発明の第2の実施例を示す電界効果トランジスタの一部切欠斜視図である。第3図において、21'はGaAs半絶縁性基板、22'はGaAsMESFETのチャンネルとなる活性層、25'は $S_{13}N_4$ 膜、25a'は側壁膜、26'はレジストマスク、27'は $n^+$ 活性層、28'はオーミック電極、29'はネガ型フォトリソで、以上は第1図および第2図(a)~(i)の構成と同様なものである。第1図および第2図(a)~(i)の構成と異なる所は、高融点ゲート40を用いて第1図に示した垂直ゲート部31bを形成し、その後、ゲート配線41により前記高融点ゲート40を電氣的に接続した点である。

このように構成された電界効果トランジスタについて第3図(a)~(d)を用いて以下に説明する。まず、活性層22'を有するGaAs半絶縁性基板21'に、少なくとも該GaAs半絶縁性基板21'に到達するゲートパターンの穴を形成し、高融点材料であるタングステンシリサイド(WSi)を埋め込みかつ活性層22'の表面以上の高さとなる高融

点ゲート40を形成後、 $S_i$ 、 $N_s$ 膜、25'をP-CVD法により形成する(第3図(a))。

次にフォトレジスト26'を用い、酸素を5%含む $CHF_3$ ガスプラズマによるRIEにより $S_i$ 、 $N_s$ 膜、25'を異方性エッチングして側壁膜25a'を形成する(第3図(b))。

次に $S_i$ を選択イオン注入し、アニールを行ない $n^+$ 活性層27'を形成し、その上にオーミック電極を形成した後、ネガ型レジスト29'を塗布し、 $O_2$ ガスプラズマによるRIEで高融点ゲート40の頭出しを行なう(第3図(c))。その後、高融点ゲート40の頭部分をA $\delta$ で接続し、ゲート配線41を形成する(第3図(d))。

上記のように、高融点ゲート40を少なくともGaAs半絶縁性基板21'に到達する柱状に形成し、ゲート長 $\delta_1$ および間隔長 $\delta_2$ を最小パターン寸法にすることにより、パターン反転することなく、簡単な工程でソース、ドレイン間隔 $\delta_3$ が最小パターン寸法もしくはそれ以下で形成することができる。

トもしくはダミーゲートの間隙の一部を膜の重なりによる接合部でもって閉鎖し、前記接合部をソース、ドレイン間隔とするので、最小パターン寸法と同等もしくはそれ以下のソース、ドレイン間隔を形成でき、電界効果トランジスタの高速性能を大幅に改善することができる。

#### 4. 図面の簡単な説明

第1図は本発明の第1の実施例における電界効果トランジスタの構造を示した一部切欠斜視図、第2図は第1の実施例における電界効果トランジスタの製造工程を示した一部切欠斜視図、第3図は本発明の第2の実施例における電界効果トランジスタの製造工程を示した一部切欠斜視図、第4図は従来の電界効果トランジスタの製造工程を示した構造断面図である。

21, 21'...GaAs半絶縁性基板、22, 22'...活性層、23... $S_iO_2$ 膜、23a...ダミーゲート、23b...反転ゲートパターン、24...ゲートマスク、25, 25'... $S_i$ 、 $N_s$ 膜、25a, 25a'...側壁膜、25b...接合部、26, 26'...レジストマスク、27, 27'

なお第1の実施例において、ゲート金属31はA $\delta$ としたが、ゲート金属31はGaAsとショットキー接合を保つものならなんでもよく、例えばチタン(Ti)、白金(Pt)、タングズテン(W)等を使用してもよい。

また、第2の実施例では、高融点ゲート40はタングステンシリサイド(WSi)としてが、高融点ゲート40はアニール後もGaAsとショットキー接合となるものなら何でもよく、タングステン(W)、タンタル(Ta)、タングステンタンタルシリサイド(WTaSi)等を使用してもよい。さらに第1および第2の実施例において $n^+$ 活性層27, 27'はSiの $n^+$ 選択注入により形成したが、 $n^+$ 活性層は荷電担体としての電子を多く含むものであればよく、液相エピタキシャル(LPE)法や気相エピタキシャル(VPE)法または分子線エピタキシャル(MBE)法や有機金属化学気相蒸着(MOCVD)法等により形成してもよい。

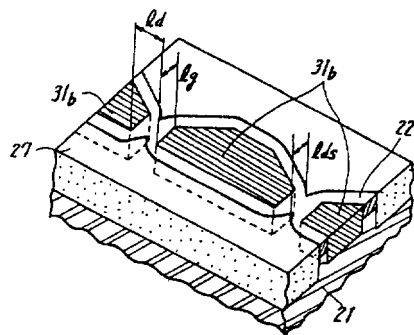
#### 発明の効果

以上のように本発明によれば、隣り合ったゲー

... $n^+$ 活性層、28, 28'...オーミック電極、29, 29'...ネガ型フォトレジスト、30...ポジ型フォトレジスト、31...ゲート金属、31a...くし型ゲート、31b...垂直ゲート部、40...高融点ゲート、41...ゲート配線

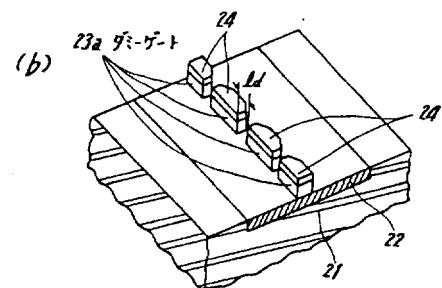
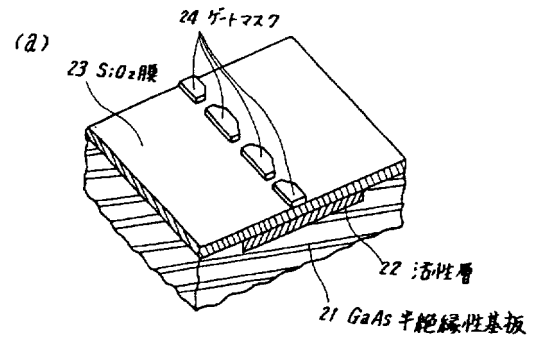
代理人 森 本 義 弘

第 1 図

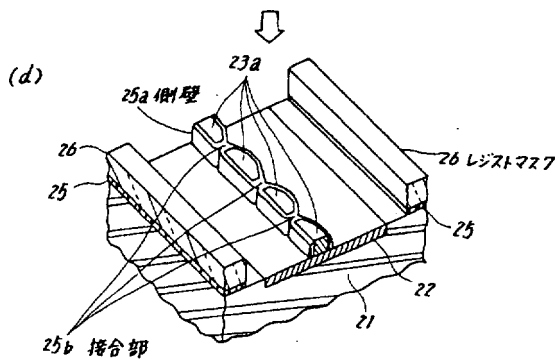
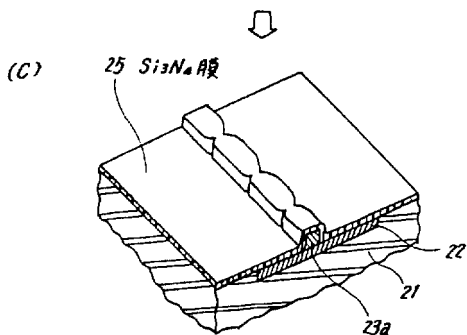


21...GaAs半絶縁性基板  
22...活性層  
27...n<sup>+</sup>活性層  
31b...垂直ゲート部  
lg...ゲート長  
ld...間隔長  
lds...ソース・ドレイン 間隔

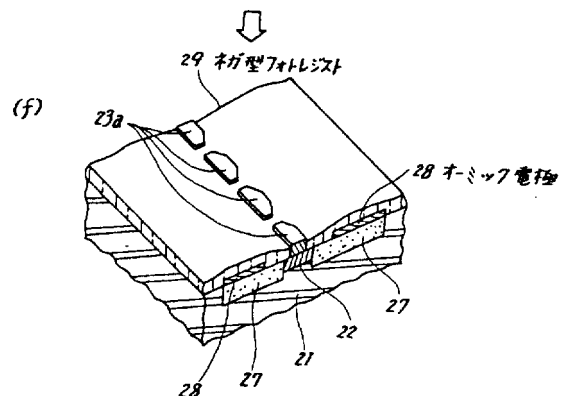
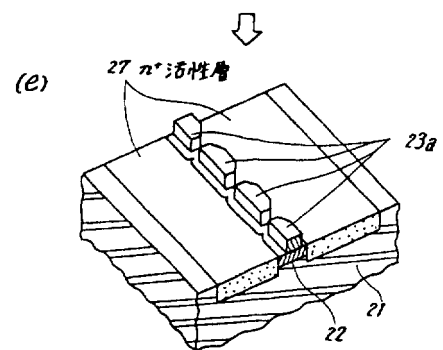
第 2 図



第 2 図

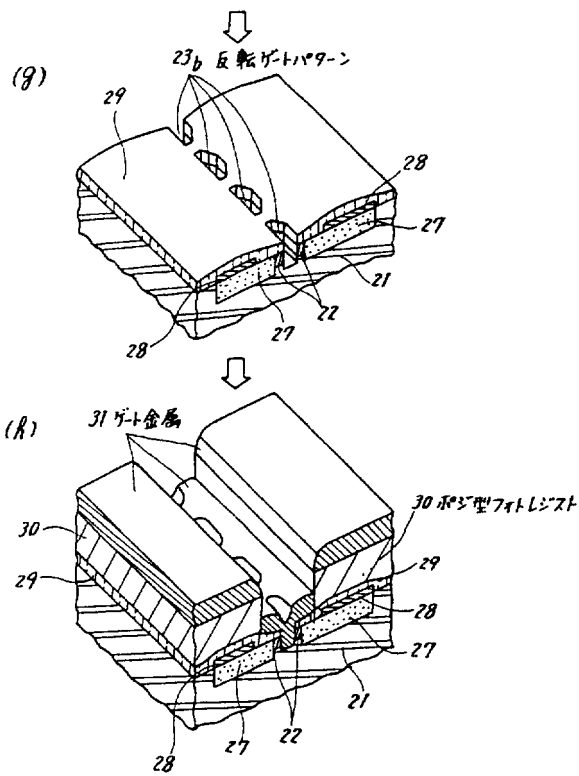


第 2 図

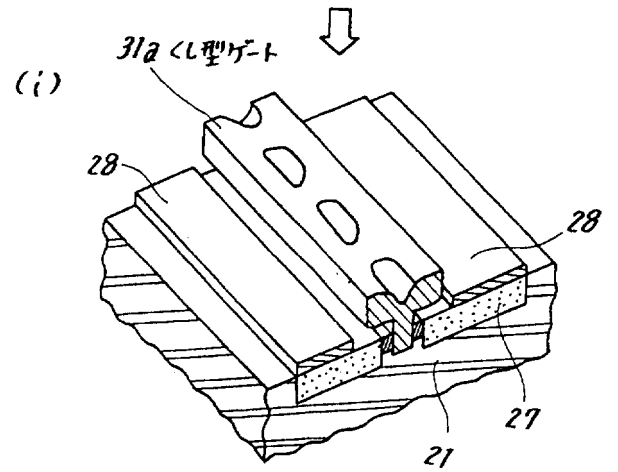




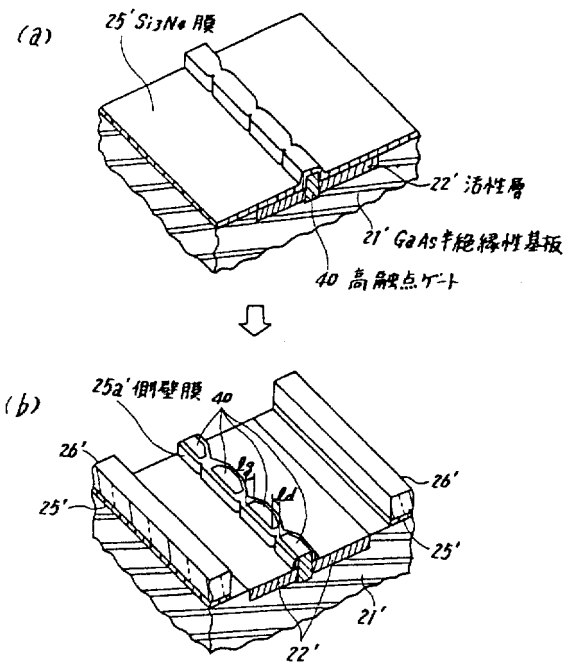
第2図



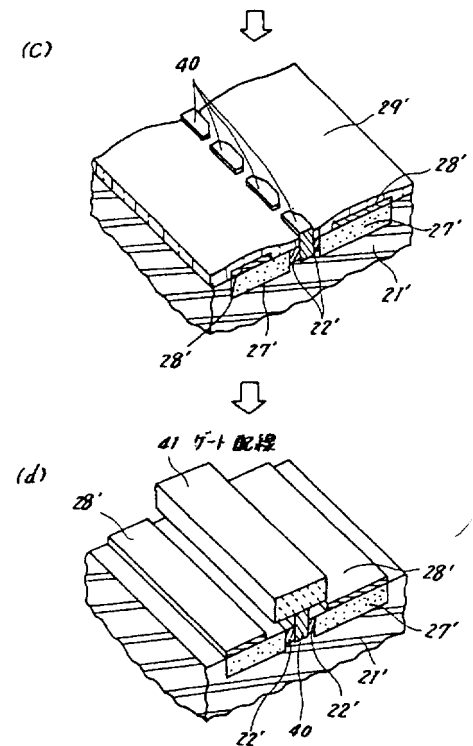
第2図



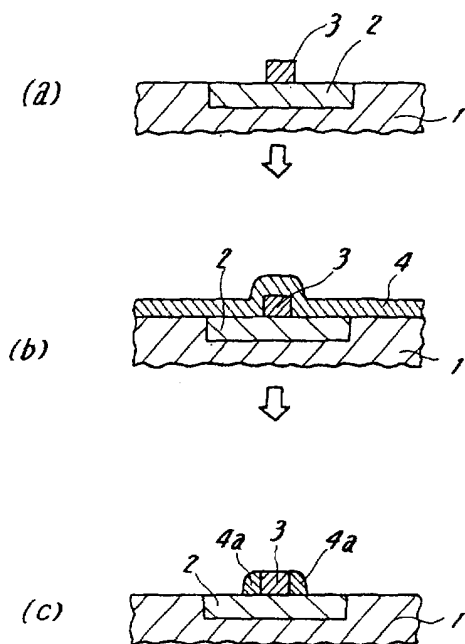
第3図



第3図



第4図



第4図

